

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-312454

(43)Date of publication of application : 24.11.1998

(51)Int.Cl.

G06T 1/20

(21)Application number : 09-120474

(71)Applicant : SONY CORP

(22)Date of filing : 12.05.1997

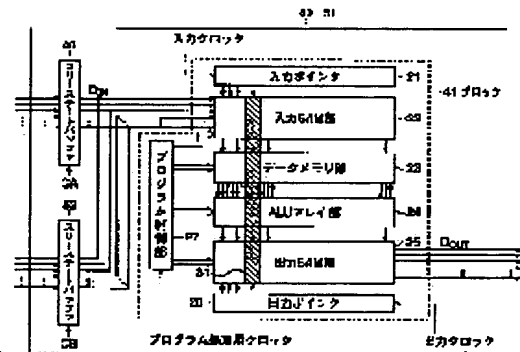
(72)Inventor : KUROKAWA MASUYOSHI
IWASE SEIICHIRO

(54) SIMD CONTROL PARALLEL PROCESSOR AND OPERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To process high speed data by parallelling clock frequency of data outside an LSI by polyphasing it and making interface with an LSI operation part.

SOLUTION: A high speed processing is enabled in an SIMD(single instruction stream/multiple data stream), however, the high speed processing is difficult outside the LSI, therefore, the processing on a substrate is performed with a half frequency of the clock frequency of pixel data inputted in an input SAM part 22. And the pixel data of a clock with lower speed is synthesized by three state buffers 51, 52 in the LSI, supplied to the input SAM part 22 and processed at high speed. The data of a clock with high speed outputted from an output SAM part 25 is converted into the data of the clock with low speed again in a register in the LSI.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 並列に入力される $n1$ ビットの演算データを第1の周波数のクロックで取り込む取り込み手段と、

前記取り込み手段で取り込まれた演算データを記憶する記憶手段と、

前記記憶手段に記憶された演算データを演算する演算手段と、

前記演算手段により演算された $n2$ ビットの演算データを出力する出力手段と、

前記取り込み手段、記憶手段、演算手段、または出力手段の少なくとも1つの動作を制御する制御手段と、

前記第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、前記第1の周波数のクロックの $n1$ ビットの演算データに変換して、前記取り込み手段に供給する入力周波数変換手段とを備えることを特徴とするSIMD制御並列プロセッサ。

【請求項2】 前記第1の周波数のクロックで前記出力手段から出力される、 $n2$ ビットの出力データを、前記第2の周波数のクロックの $m2$ 組の $n2$ ビットの出力データに変換する出力周波数変換手段をさらに備えることを特徴とする請求項1に記載のSIMD制御並列プロセッサ。

【請求項3】 k ($k \leq n$) ビットの識別データを発生し、前記演算データが供給されないタイミングにおいて前記取り込み手段に供給する供給手段をさらに備えることを特徴とする請求項1に記載のSIMD制御並列プロセッサ。

【請求項4】 前記取り込み手段、記憶手段、演算手段、および出力手段は、1ビットの要素プロセッサを構成することを特徴とする請求項1に記載のSIMD制御並列プロセッサ。

【請求項5】 前記出力手段より出力される出力データを処理し、前記制御手段または前記演算手段に帰還する帰還手段をさらに備えることを特徴とする請求項1に記載のSIMD制御並列プロセッサ。

【請求項6】 前記取り込み手段、記憶手段、演算手段、および出力手段は、1ビットの要素プロセッサを構成し、

前記帰還手段は、任意の前記要素プロセッサのデータを抽出する抽出手段、各要素プロセッサのデータを累積する累積手段、各要素プロセッサの任意のビットの状態を計数する計数手段、各要素プロセッサのデータの所定値に対する大小を検出する第1の検出手段、各要素プロセッサのデータの最大値もしくは最小値を検出する第2の検出手段の少なくとも1つを有することを特徴とする請求項5に記載のSIMD制御並列プロセッサ。

【請求項7】 前記帰還手段は、処理したデータを、前記演算データとして前記演算手段に帰還することを特徴

とする請求項5に記載のSIMD制御並列プロセッサ。

【請求項8】 前記制御手段は、プログラムに基づき、前記取り込み手段、記憶手段、演算手段、および出力手段により構成される要素プロセッサの動作を制御し、前記帰還手段は、処理したデータを、その後のプログラム処理の際にプログラムシーケンスの流れを変えるためのステータス信号として、前記制御手段に帰還することを特徴とする請求項5に記載のSIMD制御並列プロセッサ。

10 【請求項9】 並列に入力される $n1$ ビットの演算データを第1の周波数のクロックで取り込む取り込み手段と、

前記取り込み手段で取り込まれた演算データを記憶する記憶手段と、

前記記憶手段に記憶された演算データを演算する演算手段と、

前記演算手段により演算された $n2$ ビットの演算データを出力する出力手段と、

20 前記取り込み手段、記憶手段、演算手段、または出力手段の少なくとも1つの動作を制御する制御手段と、

を備えるSIMD制御並列プロセッサを利用した演算方法において、

前記第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、前記第1の周波数のクロックの $n1$ ビットの演算データに変換して、前記取り込み手段に供給することを特徴とする演算方法。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、SIMD制御並列プロセッサおよび演算方法に関し、特に、コンピュータモニタ用などのように、高速の画像データをリアルタイムで処理することができるようにした、SIMD制御並列プロセッサおよび演算方法に関する。

【0002】

【従来の技術】図8は、従来のSIMD(Single Instruction stream/Multiple Data stream)形式の並列プロセッサの構成例を示している。このSIMD制御並列プロセッサは、入力ポインタ21、入力SAM(シリアルアクセスメモリ)部22、データメモリ部23、ALUアレイ部24、出力SAM部25、出力ポインタ26、および、プログラム制御部27で構成されている。

40 【0003】入力SAM部22、データメモリ部23、ALUアレイ部24、および、出力SAM部25は、リニアアレイ(直線配列)型に並列化された要素プロセッサ群を構成している。これらの要素プロセッサ31は、プログラム制御部27が有する1つのプログラムに従って、連動して制御される(即ち、SIMD制御される)。プログラム制御部27は、プログラムメモリや、そのプログラムを進行させるシーケンス制御回路などを有し、プ

ログラムメモリに予め書き込まれたプログラムに従って、各種制御信号を発生して、各種回路を制御する。

【0004】なお、入力SAM部22、データメモリ部23、出力SAM部25は、主にメモリで構成されている。詳細に説明は省略するが、図8の装置においては、これらのメモリのための「ロウ（ROW）」アドレスデコーダは、プログラム制御部27に含まれているものとする。

【0005】並列化された要素プロセッサ31（単一エレメント分）は、図8において、斜線で示した部分に対応し、複数の要素プロセッサ31が、図中において横方向に配列されている。即ち、図8の斜線の部分だけで、1つのプロセッサに対応する構成要素を有している。

【0006】次に、図8の画像処理用のリニアアレイ型並列プロセッサの動作について説明する。

【0007】入力端子D_{in}に与えられた入力データ（1画素分の画像データを単位とする）は、入力SAM部22に供給される。

【0008】入力ポインタ21は、1つの入力データに対して1つの要素プロセッサ31だけに、論理「H」の1ビット信号、即ち入力ポインタ信号（SIP）を出力する。そして、論理「H」で指定された要素プロセッサ31の入力SAM部22（入力SAMセル）に、その入力データが書き込まれる。

【0009】入力ポインタ信号による、データを供給する要素プロセッサ31の指定は、入力データのクロックごとに、図中の左端の要素プロセッサ31から右端の要素プロセッサ31に向けて順次移動するので、入力データは、左端の要素プロセッサ31の入力SAM部22（入力SAMセル）から、右側の要素プロセッサ31の入力SAMセルに順次供給される。

【0010】要素プロセッサ31の数は画像信号の1水平走査期間の画素数H以上に設計されているので、画像信号の1水平走査期間分の画素データを、入力SAM部22に蓄積することができる。このような入力動作は、水平走査期間毎に繰り返される。

【0011】プログラム制御部27は、このようにして画像信号の1水平走査期間のデータが入力SAM部22に蓄積されると、プログラムに従って入力SAM部22、データメモリ部23、ALUアレイ部24、および、出力SAM部25を以下のようにSIMD制御して処理を実行する。

【0012】なお、このプログラム制御は水平走査期間ごとに繰り返される。従って、水平走査期間に対応する時間を、このプロセッサの命令サイクル周期で割算して算出されるステップ数だけのプログラムを処理することができる。SIMD制御であるから、以下の動作は全ての要素プロセッサ31において並行して同様に実行される。

【0013】入力SAM部22に蓄積された1水平走査期間分の入力データは、次の水平走査期間において、ブ

ログラム制御により必要に応じて入力SAM部22からデータメモリ部23へ転送され、その後の演算処理に使われる。

【0014】入力SAM部22からデータメモリ部23へのデータの転送においては、プログラム制御部27は、入力SAM読み出し信号（SIR）により入力SAM部22の所定のビットのデータを選択してアクセスした後、メモリアクセス信号（SWA）を出して、そのデータを、データメモリ部23の所定のメモリセル（後述）へ書き込んでいく。

【0015】次に、プログラム制御部27は、プログラムに応じて、各要素プロセッサ31のALUアレイ部24に、その要素プロセッサ31のデータメモリ部23に保持されているデータを供給し、そのデータに対して算術演算あるいは論理演算を行わせる。そして、その演算結果は、データメモリ部23の所定のアドレスに書き込まれる。

【0016】なお、ALUアレイ部24における演算は、全てビット単位で行われるので、1サイクル当たり1ビットづつ処理が進行する。例えば、8ビットのデータ同士の論理演算を行う場合、少なくとも8サイクルかかることになる。また、8ビットのデータ同士の加算を行う場合、少なくとも9サイクルかかることになる。8ビットのデータ同士の乗算を行う場合、その乗算は64回のビット加算と等価であるので、少なくとも64サイクルかかることになる。

【0017】また、要素プロセッサ31は、近傍の要素プロセッサ31に接続されており、プロセッサ間通信を行うことができる。ただし、近傍の要素プロセッサ31のデータメモリ部23へのアクセスを行う場合、SIMD制御に起因して、例えば右隣りの要素プロセッサ31のデータメモリ部をアクセスするときは、すべての要素プロセッサ31が、右隣りの要素プロセッサ31のデータメモリ部23をアクセスすることになる。

【0018】なお、直接接続されていない要素プロセッサ31のデータメモリ部のデータを読み出す場合、プログラムステップは多少増えるが、近傍のプロセッサ間通信を繰り返すことにより、データを読み出す。

【0019】このような通信を利用して、近傍の要素プロセッサ31が保持するデータを利用して、例えば画像の水平方向のFIRデジタルフィルタ演算を実現することができる。

【0020】なお、このような並列プロセッサにおいては、水平方向の同じ位置の画素のデータは、すべての水平走査期間において、所定の1つの要素プロセッサ31により処理されるので、データを入力SAM部22からデータメモリ部23に転送するときに、水平走査期間ごとに、データを記憶するアドレスを変更することにより、過去の水平走査期間の入力データを、それ以降の水平走査期間まで、データメモリ部23の内部に保持する

ことができる。

【0021】以上のようにして1水平走査期間に割り当てられている演算が終了すると、その水平走査期間のうちに、その水平走査期間に演算したデータは、出力SAM部25に転送される。

【0022】このように、1水平走査期間のうちに、入力SAM部22に蓄積された入力データのデータメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25へのデータの転送が、ビットを単位とするSIMD制御プログラムに従って実行される。そして、この処理は、水平走査期間を単位として、順次繰返される。

【0023】そして、出力SAM部25に転送された出力データは、さらに次の水平走査期間において、出力SAM部25から出力される。

【0024】以上のように、入力データを入力SAM部22に書き込む入力処理、プログラム制御部27による、入力SAM部22に蓄積された入力データのデータメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25への出力データの転送の演算処理、並びに、出力データを出力SAM部25から出力させる出力処理の3つの処理が、各入力データに対して行われる。なお、これらの3つの処理は、画像信号の1水平走査期間を単位とするパイプライン処理として実行される。

【0025】1つの水平走査期間の入力データに注目すれば、その入力データに対する3つの処理には、各処理において1水平走査期間に対応する時間が経過するので、合計水平走査期間の3倍に対応する時間がかかるが、3つの処理がパイプライン処理として並行に実行されるので、平均して、1水平走査期間分の入力データあたり1水平走査期間に対応する時間で処理を行うことができる。

【0026】

【発明が解決しようとする課題】近年の半導体技術の発達により、このようなSIMD制御並列プロセッサは、LSI化することができ、その内部で100MHz以上の周波数のクロックで動作させることが可能になってきている。これは、LSI内部においては、物理的な回路のサイズを極めて小さくすることができるからである。しかしながら、そのLSIを装着している基板上においては、部品や配線などの物理的なサイズをそれほど小さくすることは困難であり、分布定数やインピーダンスを細かく管理して基板を設計したとしても、基板上のクロックの周波数を100MHz以上の高い周波数に設定することは、極めて困難となる。

【0027】しかしながら、例えばコンピュータモニタ用の画像は、画質向上のために、その画素数が急増しており、その画素データをリアルタイムで処理するには、100MHz、あるいはそれ以上の、極めて高速のデー

タレートが要求される。LSIの内部では、このような高速なデータレートによる処理が可能であるが、LSI外部の基板上では、このような高速の処理が困難であるため、結局、コンピュータモニタ用の画素データをリアルタイムで処理することが困難となる課題があった。

【0028】また、SIMD制御並列プロセッサは、汎用性を実現するために、その構造が非常にシンプルな構造とされているが、その結果、演算処理が非能率的となる場合があった。

【0029】例えば、画素数変換処理を行う場合に、各要素プロセッサ31ごとにナンバーを付し、所定のナンバーが付された要素プロセッサごとに、所定の処理を行わせることがある。このような処理を行う場合、プログラム制御部27におけるプログラムをそのように規定することで、その処理は実現することが可能である。しかしながら、1ビット単位での処理しかできないため、各要素プロセッサ31にナンバーを付する処理自体に、相当の時間（サイクル）を必要とし、迅速な処理ができない課題があった。

【0030】さらに、各要素プロセッサ31が、各時点において有しているデータの累積値、最大値、最小値を求める処理、あるいは、所定の値との大小比較の処理なども、比較的頻繁に行われる処理であるが、プログラム制御部27におけるプログラムを、そのようにプログラミングするのに手間がかかり、また、処理時間も相当長くなる課題があった。

【0031】本発明はこのような状況に鑑みてなされたものであり、迅速な処理を可能とするものである。また、プログラミングの手間を軽減し、処理時間も短くなるようにするものである。

【0032】

【課題を解決するための手段】請求項1に記載のSIMD制御並列プロセッサは、並列に入力される $n1$ ビットの演算データを第1の周波数のクロックで取り込み取り込み手段と、取り込み手段で取り込まれた演算データを記憶する記憶手段と、記憶手段に記憶された演算データを演算する演算手段と、演算手段により演算された $n2$ ビットの演算データを出力する出力手段と、取り込み手段、記憶手段、演算手段、または出力手段の少なくとも1つの動作を制御する制御手段と、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段に供給する入力周波数変換手段とを備えることを特徴とする。

【0033】請求項9に記載の演算方法は、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段に供給することを特徴とする。

【0034】請求項1に記載のSIMD制御並列プロセッサおよび請求項9に記載の演算方法においては、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段に供給させる。

【0035】

【発明の実施の形態】以下に本発明の実施の形態を説明するが、特許請求の範囲に記載の発明の各手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し一例）を付加して本発明の特徴を記述すると、次のようになる。但し勿論この記載は、各手段を記載したものに限定することを意味するものではない。

【0036】請求項1に記載のSIMD制御並列プロセッサは、並列に入力される $n1$ ビットの演算データを第1の周波数のクロックで取り込む取り込み手段（例えば、図1の入力SAM部22）と、取り込み手段で取り込まれた演算データを記憶する記憶手段（例えば、図1のデータメモリ部23）と、記憶手段に記憶された演算データを演算する演算手段（例えば、図1のALUアレイ部24）と、演算手段により演算された $n2$ ビットの演算データを出力する出力手段と、取り込み手段、記憶手段、演算手段、または出力手段の少なくとも1つの動作を制御する制御手段（例えば、図1のプログラム制御部27）と、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段に供給する入力周波数変換手段（例えば、図1のスリーステートバッファ51、52）とを備えることを特徴とする。

【0037】請求項2に記載のSIMD制御並列プロセッサは、第1の周波数のクロックで出力手段から出力される、 $n2$ ビットの出力データを、第2の周波数のクロックの $m2$ 組の $n2$ ビットの出力データに変換する出力周波数変換手段（例えば、図3のレジスタ61、62）をさらに備えることを特徴とする。

【0038】請求項3に記載のSIMD制御並列プロセッサは、 k ($k \leq n$) ビットの識別データを発生し、演算データが供給されないタイミングにおいて取り込み手段に供給する供給手段（例えば、図4の発生回路71）をさらに備えることを特徴とする。

【0039】請求項5に記載のSIMD制御並列プロセッサは、出力手段より出力される出力データを処理し、制御手段または演算手段に帰還する帰還手段（例えば、図6の演算回路91）をさらに備えることを特徴とする。

【0040】請求項9に記載の演算方法は、並列に入力される $n1$ ビットの演算データを第1の周波数のクロックで取り込む取り込み手段（例えば、図1の入力SAM部22）と、取り込み手段で取り込まれた演算データを

記憶する記憶手段（例えば、図1のデータメモリ部23）と、記憶手段に記憶された演算データを演算する演算手段（例えば、図1のALUアレイ部24）と、演算手段により演算された $n2$ ビットの演算データを出力する出力手段と、取り込み手段、記憶手段、演算手段、または出力手段の少なくとも1つの動作を制御する制御手段（例えば、図1のプログラム制御部27）と、を備えるSIMD制御並列プロセッサを利用した演算方法において、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段（例えば、図1の入力SAM部22）に供給することを特徴とする。

【0041】図1は、本発明のSIMD制御並列プロセッサの構成例を表している。この構成例においては、第1の実施例のLSI40上にブロック41が配置されており、このブロック41は、入力ポインタ21、入力SAM部22、データメモリ部23、ALUアレイ部24、出力SAM部25、出力ポインタ26、およびプログラム制御部27を有し、図8に示した従来のSIMD並列制御プロセッサと同様の構成とされている。

【0042】第1の実施例のLSI40には、さらにブロック41の他、スリーステートバッファ51と、スリーステートバッファ52が設けられている。スリーステートバッファ51は、入力SAM部22の入力バスと同一のビット数の入力バスと出力バスを有し、その出力バスは、入力SAM部22の入力バスに接続されている。スリーステートバッファ52も同様に、入力SAM部22の入力バスと同一のビット数の入力バスと出力バスを有し、その出力バスも、入力SAM部22の入力バスに接続されている。

【0043】スリーステートバッファ51、52には、例えば、図2に示すような回路により、周波数変換が行われた画素データが供給される。

【0044】すなわち、例えば16ビットの入力データは、基板上に配置されているレジスタ53に入力される。レジスタ53は、周波数 f のクロックで入力される16ビットのデータを、周波数 $f/2$ の2組のデータに分割して出力する。例えば、図2においては、レジスタ53の上側の16ビットの出力には、奇数番目の入力（16ビットのデータ）が同時に出力され、下側の16ビットの出力には、偶数番目の入力（16ビットのデータ）が同時に出力される。従って、上側16ビットと下側16ビットには、データが2回に1回の割合で出力される結果、それぞれの周波数は、入力における場合の $1/2$ となる。

【0045】このようにして生成された2組の16ビットの画素データは、基板上に配置されている図示せぬ回路により処理される。この場合における処理回路のクロック周波数は、レジスタ53から出力される前の周波数

f の $1/2$ の周波数 $f/2$ とすることができる。

【0046】そして、2組の16ビットの画素データは、図1のLSI40上のスリーステートバッファ51またはスリーステートバッファ52に、それぞれ入力される。スリーステートバッファ51とスリーステートバッファ52は、それぞれ制御信号CAまたは制御信号CBにより $f/2$ の周波数で交互にイネーブルされる。すなわち、一方がイネーブルされ、入力された16ビットの画素データを出力しているときは、他方は出力を停止している。その結果、入力SAM部22には、所定のタイミ

10 ミングでスリーステートバッファ51の出力する16ビットの画素データが入力された後、次のタイミングにおいては、スリーステートバッファ52が出力する16ビットのデータが入力される。すなわち、入力SAM部22には、元の周波数 f のクロックで画素データが入力されることになる。

20 【0047】入力SAM部22に画素データが入力された後の処理は、図8における場合と同様であるので、その説明は省略するが、ブロック41の内部においては、高速に(周波数 f のクロックで)、データを処理することができ

【0048】図3は、図1の構成例に、さらにレジスタ61とレジスタ62を、LSI40上に配置した例を示している。すなわち、この構成例においては、出力SAM部25より出力された16ビットのデータが、レジスタ61とレジスタ62に出力されている。レジスタ61とレジスタ62は、それぞれ制御信号CCと制御信号CDで、周波数 $f/2$ で交互にイネーブルされる。従って、レジスタ61に所定のタイミングで16ビットのデータが入力されたとき、制御信号CCに基づいてレジスタ61は、この16ビットの画素データを保持する。このとき、レジスタ62は、制御信号CDが入力されない

ので、入力されたデータを保持しない。

【0049】そして、次のタイミングにおいて、新たな16ビットの画素データが入力されたとき、今度はレジスタ62に制御信号CDが入力され、イネーブルされるので、画素データが保持される。このとき、レジスタ61には、制御信号CCが入力されない

ので、入力されたデータは保持されない。このようにして、レジスタ61とレジスタ62は、入力された16ビットのデータを交互に保持するので、レジスタ61とレジスタ62より出力される画素データのクロック周波数は $f/2$ となる。従って、基板上での処理が可能となる。

【0050】図4は、図3の構成例に、さらに発生回路71を付加した例を表している。この発生回路71は、例えば、図5に示すように構成される。図5の構成例においては、発生回路71がカウンタ81により構成されている。そしてカウンタ81は、入力SAM部22の16ビットのバスのうち、上位10ビットのバスに、その出力が接続されている。なお、接続されるバスのビット

数は、10ビットに限らず、それ以下、またはそれ以上としてもよいのはもとよりである。

【0051】カウンタ81には、入力ポイント21に供給されているクロックと同一のクロックCKが供給されており、制御信号CENが入力されたとき、イネーブル状態とされ、入力されるクロックCKを計数する。そして、制御信号OENが入力されたとき、出力がイネーブル状態とされ、そのカウント値(計数値)が入力SAM部22の入力バスに供給されるようになされている。

10 【0052】このカウンタ81には、装置の電源がオンされた直後、あるいは、垂直帰線期間などにおいて、まずカウンタ81がクリアされ、それから制御信号CENやOENが供給され、その出力が入力SAM部22の入力バスに供給される。入力SAM部22においては、入力ポイント21で指定される要素プロセッサ31が、これを取り込み、データメモリ部23に転送する。以下プログラム制御によりデータメモリ部23は、このようにして入力されたデータを、各要素プロセッサ31毎に、自分自身に割り当てられた番号として記憶する。そして、プログラム制御部27から所定の番号が指定されたとき、その指定された番号を割り当てられている要素プロセッサ31が、指定されたかどうかを判断し、指定されている場合は指令された演算を実行する。

【0053】なお、このカウンタ81も、その出力部に、スリーステートバッファあるいはセレクトが設けられており、スリーステートバッファ51またはスリーステートバッファ52からの出力と、カウンタ81の出力データが競合しないように制御される。

30 【0054】なお、カウンタ81による要素プロセッサ31に対するナンバリングは、単純な昇順、降順といったナンバリングだけでなく、0, 0, 1, 1, 2, 2, ...というようなナンバリングや、0, 1, 2, 3, 0, 1, 2, 3, ...といったモジュロ演算に基づくナンバリングなども可能である。

【0055】このように、カウンタ81により発生したカウント値を要素プロセッサ31のナンバリングに用いるようにすることで、プログラム制御部27のプログラムによるナンバリングが不要となり、プログラムの開発の手間を省くことができる。また、迅速なナンバリングが可能となる。

40 【0056】なお、図5の例においては、カウンタ81の出力を入力SAM部22のビット0からビット9までの10ビットに供給するようにしたが、それ以下、またはそれ以上とすることも勿論可能である。また、その接続先も任意である。

【0057】図6は、さらに他の構成例を表している。この構成例においては、図4の構成例に演算回路91が付加されている。演算回路91は、出力SAM部25の出力する16ビットの出力の供給を受け、これに所定の演算を施して、プログラム制御部27あるいはALUア

レイ部24に供給するようになされている。

【0058】図7は、演算回路91の構成例を表している。レジスタ101は、出力SAM部25の16ビットのデータ出力バスD_{out}の一部、または全部の供給を受け、任意の要素プロセッサ31のデータだけを保持する。レジスタ101に保持されたデータは、ビットパラレルに、あるいはビットシリアルに、データD1またはデータS1としてALUアレイ部24、プログラム制御部27などに帰還される。ALUアレイ部24は、レジスタ101より供給されたビットシリアルデータを、その後のプログラム処理の際の演算データとして用いる。また、プログラム制御部27は、プログラムシーケンスの流れを変えるためのステータス信号として、入力されたビットパラレルデータを使用する。

【0059】バレルシフタ102は、データ出力バスD_{out}のうちの一部分、または全部の供給を受け、その内の任意の部分（例えば8ビット）を抽出し、抽出したデータを加算器103に供給する。加算器103は、バレルシフタ102より供給されたデータと、レジスタ104に保持されているデータの累積を演算する。そして、演算した結果をレジスタ104に供給し、保持させる。レジスタ104に保持された累積結果は、ビットパラレルに出力D2として、あるいはビットシリアルに出力S2として、ALUアレイ部24またはプログラム制御部27に帰還される。なお、累積演算に先立ち、レジスタ104はクリアされるものとする。そして、その後のプログラム処理の際の演算データとして使用され、あるいは、プログラムシーケンスの流れを変えるためのステータス信号として使用される。

【0060】セレクトア105は、データ出力バスD_{out}のうちの一部分、または全部の供給を受け、その中から1ビットを選択し、カウンタ106に出力する。カウンタ106は、入力された1ビットが“1”であるとき、これをカウントする。セレクトア105が選択するビットを適宜変更することで、カウンタ106は、全ての要素プロセッサ31の出力データのうちの特定のビットの“1”の数を計数する。レジスタ107は、カウンタ106の計数値を保持し、保持したデータをビットパラレルにデータD3として、あるいは、ビットシリアルにデータS3として、ALUアレイ部24またはプログラム制御部27に供給する。これらのデータも、その後のプログラム処理の際に演算され、あるいはプログラムシーケンスの流れを変更するためのステータス信号として使用される。

【0061】バレルシフタ108は、データ出力バスD_{out}のうちの一部分、または全部の供給を受け、そのうちの任意の例えば8ビットを抽出して、レジスタ109に出力する。レジスタ109は、バレルシフタ108から供給されたデータを保持し、保持したデータをコンパレータ110に出力する。レジスタ111には、予め所定

の値が保持されており、コンパレータ110は、このレジスタ111に保持されている所定の値と、レジスタ109より供給されたデータの値の大小関係を判定し、その判定結果を示すステータス信号S4をALUアレイ部24とプログラム制御部27に出力する。

【0062】あるいはまた、レジスタ111に、最大値を保持させることも可能である。この場合、レジスタ109より出力された最初のデータが、レジスタ111に保持される。コンパレータ110は、レジスタ111に保持された最初のデータと、レジスタ109から次に供給されるデータとの大小を比較する。そして、レジスタ109から供給されたデータの方が、レジスタ111に保持されているデータより大きい場合、レジスタ109に、そのとき保持されているデータを、レジスタ111に転送し、保持させる。

【0063】以上の動作を、順次繰り返すことで、レジスタ111に最大値を保持させることができる。レジスタ111に保持された最大値は、ビットパラレルにデータD5として、あるいはビットシリアルにデータS5として、ALUアレイ部24とプログラム制御部27に供給される。これらの信号も、上述した場合と同様にし、その後のプログラムの処理の際の演算データとして使用されたり、プログラムシーケンスの流れを変更するためのステータス信号として使用される。

【0064】なお、レジスタ111に、コンパレータ110の大小比較の結果、小さいと判定された方を保持させるようにすれば、最小値を検出することができる。

【0065】このように、累積値、最大値、最小値、大小比較といった処理を、ブロック41の外部で行い、これを再びブロック41の内部に帰還するようにしたので、プログラム制御部27のプログラムに、このような累積値、最大値、最小値、大小比較といった結果を得るための処理を記述する必要がなくなり、プログラミングが簡単となる。また、処理時間も短くすることができる。

【0066】以上のように、本発明の実施の形態においては、LSI40の内部の高速動作を無駄にせず、LSI40の外部とインタフェースすることができ、扱う画像信号が、コンピュータモニタ用などの場合のように、高速のデータであったとしても、基板上で処理することが可能となる。

【0067】また、要素プロセッサ31に、個々の番号を持たせるような処理も、非効率なプログラム処理によることなく、実現することができる。

【0068】なお、図2の例においては、16ビットのデータを2組の16ビットのデータに分割するようにしたが、これらの値も任意であり、nビットの演算データをm組のnビットの演算データに変換することができる。これにより、周波数を1/mとすることができる。

【0069】

【発明の効果】以上の如く請求項1に記載のSIMD制御並列プロセッサおよび請求項9に記載の演算方法によれば、第1の周波数の $1/(m1)$ の第2の周波数のクロックで入力される、 $m1$ 組の $n1$ ビットの演算データを、第1の周波数のクロックの $n1$ ビットの演算データに変換して、取り込み手段に供給するようにしたので、大量の演算データをリアルタイムで、迅速に処理することが可能となる。

【図面の簡単な説明】

【図1】本発明のSIMD制御並列プロセッサの構成例を示すブロック図である。

【図2】クロック周波数を低下させる構成例を示す図である。

【図3】本発明のSIMD制御並列プロセッサの他の構成例を示すブロック図である。

*

10

*【図4】本発明のSIMD制御並列プロセッサのさらに他の構成例を示すブロック図である。

【図5】図4の発生回路71の構成例を示すブロック図である。

【図6】本発明のSIMD制御並列プロセッサのさらに他の構成例を示すブロック図である。

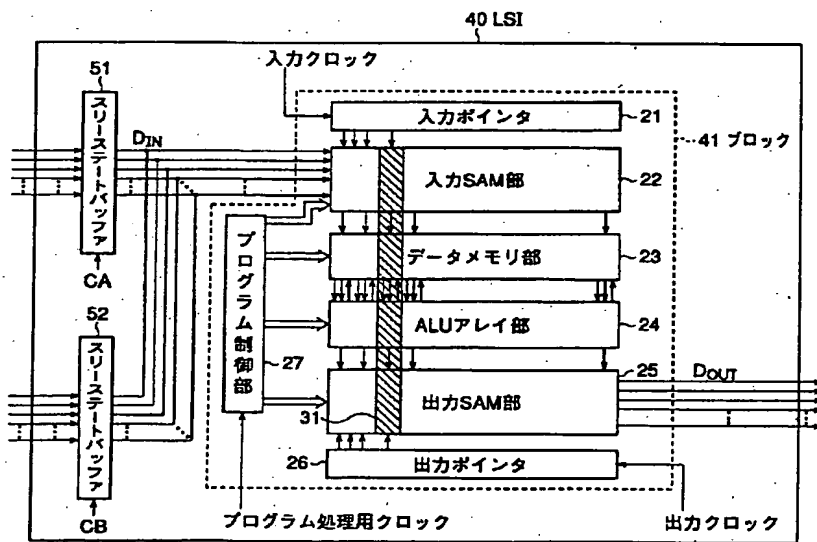
【図7】図6の演算回路91の構成例を示すブロック図である。

【図8】従来のSIMD制御並列プロセッサの構成例を示すブロック図である。

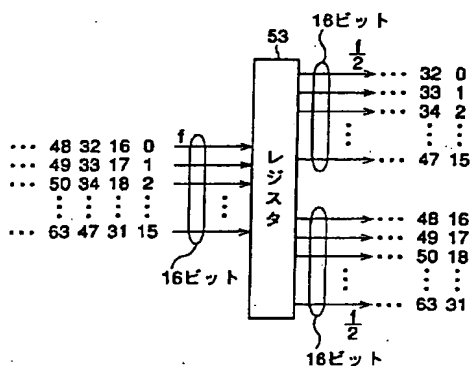
【符号の説明】

22 入力SAM部、 23 データメモリ部、 24 ALUアレイ部、 25 出力SAM部、 27 プログラム制御部、 51、52 スリーステートバッファ、 61、62 レジスタ、 71 発生回路、 91 演算回路

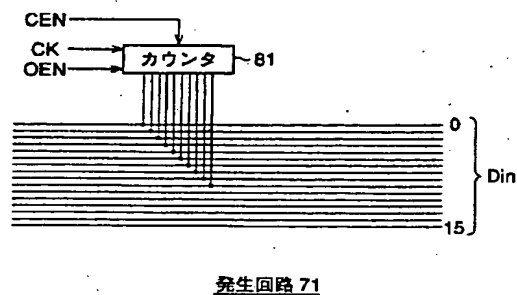
【図1】



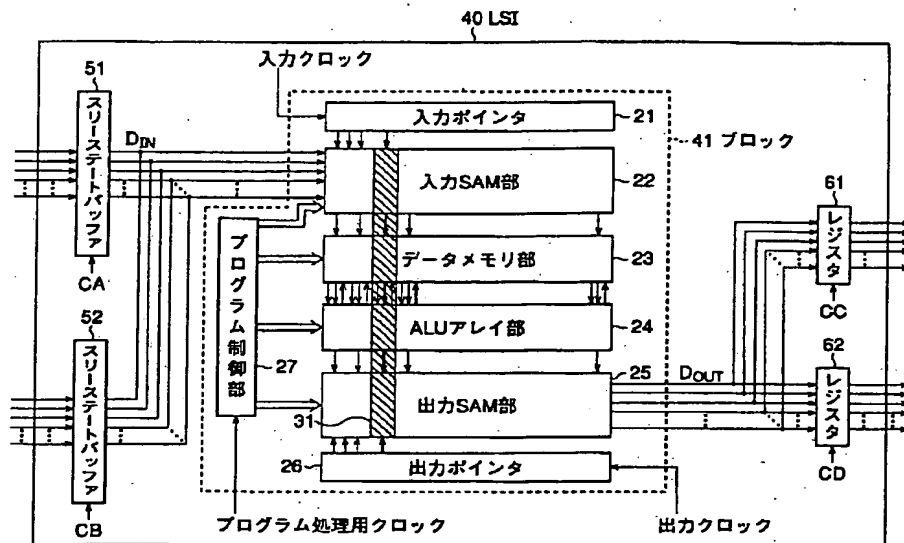
【図2】



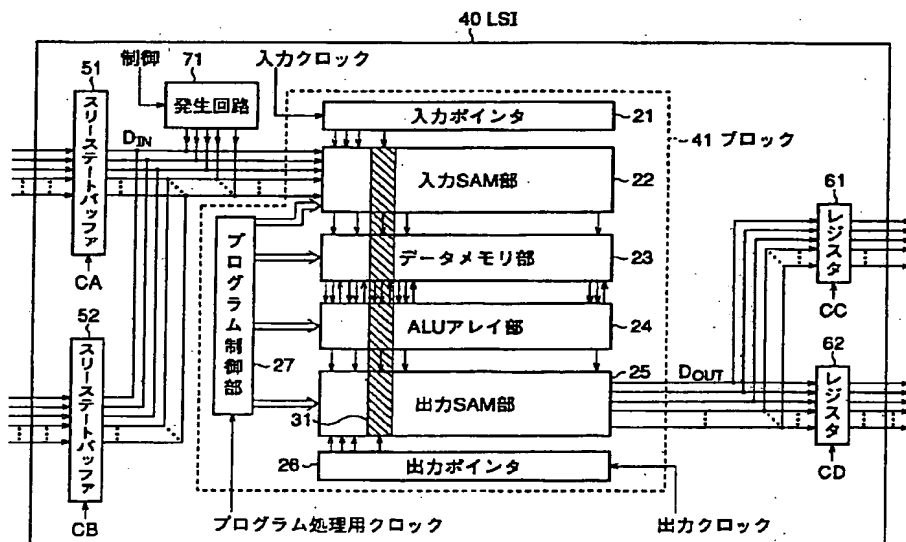
【図5】



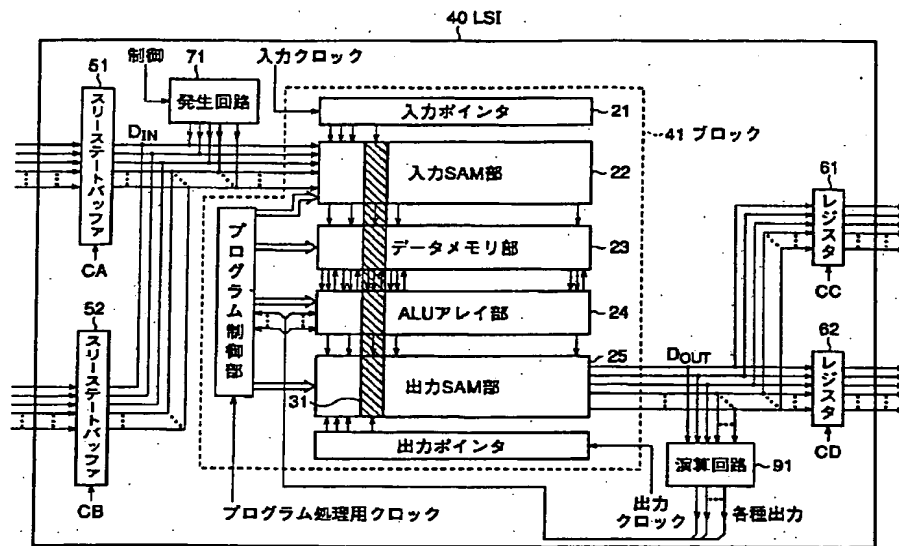
【図3】



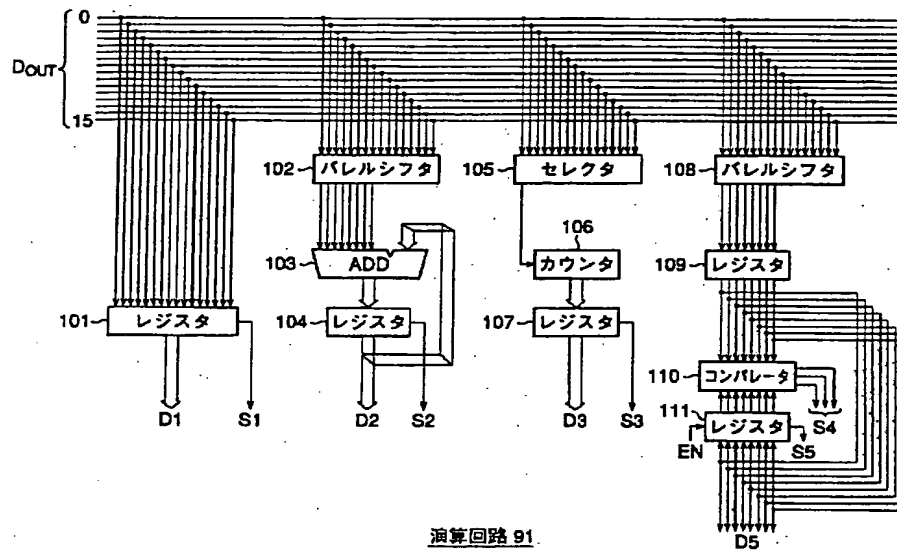
【図4】



【図6】



【図7】



【図8】

